



**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ &
ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ**

ΣΧΟΛΗ ΜΗΧΑΝΙΚΩΝ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΔΥΤΙΚΗΣ ΑΤΤΙΚΗΣ

**Προγραμματισμός και έλεγχος της κάρτας συλλογής και
δρομολόγησης δεδομένων (L1DDC) των ανιχνευτών
Micromegas για τις αναβαθμίσεις του πειράματος ATLAS**

Πτυχιακή Εργασία

**Φοιτητής: Επαμεινώνδας Πολίτης
ΑΜ: 36797**

Επιβλέποντες Καθηγητές

**Ε. Κυριάκης-Μπιτζάρος
Α. Σ. Ζαχαριάδου**

**Ημερομηνία:
5/6/2019**



University of West Attica

Faculty of Engineering
Department of Electrical
and Electronics Engineering

Configuration and testing of the Micromegas detectors' data acquisition and transmission card (L1DDC) for the upgrades of the ATLAS experiment

Degree Thesis

Student: Epameinondas Politis
Registration Number: 36797

Supervisors

Professor Efstathios Kyriakis-Bitaros
Professor Aikaterini-Styliani Zachariadou

Date: 5/6/2019

Επαμεινώνδας Πολίτης

Copyright © Ερουμεινοντας Politis, 2019

Με επιφύλαξη παντός δικαιώματος, All rights reserved

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τους συγγραφείς.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τους συγγραφείς και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του ΑΕΙ Πειραιά ΤΤ.



**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ &
ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ**

ΣΧΟΛΗ ΜΗΧΑΝΙΚΩΝ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΔΥΤΙΚΗΣ ΑΤΤΙΚΗΣ

**Προγραμματισμός και έλεγχος της κάρτας συλλογής και
δρομολόγησης δεδομένων (L1DDC) των ανιχνευτών
Micromegas για τις αναβαθμίσεις του πειράματος ATLAS**

Πτυχιακή Εργασία

**Φοιτητής: Επαμεινώνδας Πολίτης
ΑΜ: 36797**

Επιβλέποντες Καθηγητές

**Καθηγητής Ευστάθιος Κυριάκης-Μπιτζάρος
Καθηγήτρια Αικατερίνη -Στυλιανή Ζαχαριάδου**

.....
**Εξεταστής
(Θέση / Τίτλος)**

.....
**Εξεταστής
(Θέση / Τίτλος)**

.....
**Εξεταστής
(Θέση / Τίτλος)**

**Ημερομηνία:
5/6/2019**

Περίληψη

Η ηλεκτρονική κάρτα Level-1 Data Driver Card (L1DDC) αποτελεί μέρος του ηλεκτρονικού συστήματος συλλογής και δρομολόγησης δεδομένων του ανιχνευτή New Small Wheel (NSW) του πειράματος ATLAS. Η εγκατάσταση του NSW στο πείραμα ATLAS αποτελεί μια από τις βασικότερες αναβαθμίσεις που βρίσκονται εν εξελίξει προκειμένου το ATLAS να λειτουργήσει αποδοτικά στις νέες πιο απαιτητικές συνθήκες που θα επικρατούν μετά τις προβλεπόμενες αναβαθμίσεις του επιταχυντή LHC στο CERN.

Ένας μεγάλος αριθμός L1DDC καρτών (1024) θα τοποθετηθούν πάνω στο NSW για τη διαχείριση και δρομολόγηση δεδομένων από τα 2.4×10^6 κανάλια ανάγνωσης των ανιχνευτών που διαθέτει. Οι L1DDC είναι ηλεκτρονικές κάρτες, ανθεκτικές στην υψηλή ακτινοβολία και στο μαγνητικό πεδίο που θα επικρατεί, οι οποίες θα συγκεντρώνουν δεδομένα μεγάλου ρυθμού από έναν αριθμό ηλεκτρονικών καρτών ανάγνωσης ανιχνευτών (Front-Ends, FE) του NSW και θα τα μεταφέρουν μέσω αμφίδρομης οπτικής ζεύξης σε μια διεπαφή δικτύου σε απομακρυσμένο σταθμό ελέγχου. Παράλληλα, θα δέχονται από τη διεπαφή δικτύου και θα διανέμουν στις FEs, σήματα ακριβείας για το χρονισμό τους, ενεργοποίησης της ανάγνωσης των δεδομένων των ανιχνευτών και διαμόρφωσης της λειτουργίας των ηλεκτρονικών εξαρτημάτων των FEs. Η κρισιμότητα των L1DDC καρτών για την αποδοτική λειτουργία του ATLAS και ο μεγάλος αριθμός των καρτών που θα εγκατασταθούν στο NSW, έκανε αναγκαίο το διεξοδικό έλεγχο μιας σειράς συνεχώς βελτιωμένων πρωτοτύπων πριν την τελική έκδοση που θα παραχθεί μαζικά.

Στα πλαίσια αυτής της πτυχιακής εργασίας, αναπτύχθηκαν στο εργαστήριο συστήματα ελέγχου για το δεύτερο και το τρίτο πρωτότυπο καθώς και για το πρωτότυπο προ-παραγωγής της L1DDC. Η εργασία εστιάζεται στις L1DDC που θα χρησιμοποιηθούν στο σύστημα ανάγνωσης των ανιχνευτών τύπου Resistive strip Micromegas (MM), μία από τις δύο τεχνολογίες ανιχνευτών που απαρτίζουν το NSW. Το δεύτερο πρωτότυπο, όπως και εκείνα που ακολούθησαν, διέφερε σημαντικά από το αρχικό διότι σχεδιάστηκε έτσι ώστε οι L1DDCs να μπορούν να λειτουργήσουν αποδοτικά και στην επόμενη, πιο απαιτητική, αναβάθμιση του ανιχνευτή ATLAS.

Για την υλοποίηση των συστημάτων ελέγχου χρησιμοποιήθηκαν αναπτυξιακές κάρτες που φέρουν υψηλής απόδοσης (high-end) FPGAs της Xilinx. Η πολυπλοκότητα του συστήματος ελέγχου είναι ιδιαίτερα υψηλή και για την επιτυχή ολοκλήρωση της σχεδίασης χρησιμοποιήθηκαν υποσυστήματα τα οποία μας παρείχε η υπεύθυνη για την σχεδίαση των πρωτοτύπων L1DDC ερευνητική ομάδα του Εθνικού Μετσόβιου Πολυτεχνείου αλλά και μοντέλα που έχουν αναπτυχθεί από τις ομάδες εργασίας του CERN. Το σύστημα έχει περιγραφεί με τη γλώσσα περιγραφής υλικού VHDL. Ο αρχικός κώδικας το οποίο αποσφαλματώθηκε και τροποποιήθηκε και ακολούθως αναπτύχθηκε νέος προκειμένου να ξεπεραστούν οι περιορισμοί στις δυνατότητες του υπάρχοντος. Το firmware ψηφιακό σύστημα που αναπτύχθηκε στα πλαίσια αυτής της πτυχιακής, αφορά κυρίως στη διαχείριση και δρομολόγηση των ηλεκτρικών σημάτων που ανταλλάσσονται μεταξύ των L1DDCs και των FEs των MM ανιχνευτών.

Οι έλεγχοι που πραγματοποιήθηκαν αφορούν στην επιβεβαίωση της ορθότητας της ταυτόχρονης, αμφίδρομης μετάδοσης όλων των ηλεκτρικών και οπτικών σημάτων που διαχειρίζεται η L1DDC, σε όλους τους υποστηριζόμενους ρυθμούς μετάδοσης. Μετά τον έλεγχο της άριστης λειτουργίας του πρωτοτύπου προ-παραγωγής, τον Ιούλιο του 2019 ξεκίνησαν με το σύστημα που αναπτύχθηκε οι έλεγχοι των L1DDC που θα εγκατασταθούν στο NSW, σε δύο σταθμούς ελέγχου (στο Τμήμα Ηλεκτρολόγων και Ηλεκτρονικών Μηχανικών του Πανεπιστημίου Δυτικής Αττικής και στο Τμήμα Φυσικής του Πανεπιστημίου Αθηνών). Μέχρι στιγμής έχουν ελεγχθεί 164 L1DDC κάρτες των ανιχνευτών Micromegas (MM-L1DDC) και 470 των ανιχνευτών sTGC (sTGC-L1DDC). Από αυτές, 571 λειτούργησαν επιτυχώς (132 MM-L1DDC και 439 sTGC-L1DDC) και τα αποτελέσματα κοινοποιήθηκαν στο CERN.

Abstract

The Level-1 Data Driver Card (L1DDC) is part of the New Small Wheel (NSW) detector's data acquisition system of the ATLAS experiment. The installation of the NSW in the ATLAS experiment is one of the key upgrades currently underway to operate efficiently in the new harsh conditions following the anticipated LHC accelerator upgrades at CERN.

A large number of L1DDC cards (1024) will be mounted on the NSW for collecting, managing and routing data from the 2.4×10^6 readout channels of its detectors. The L1DDC cards are high speed, high radiation and magnetic field resistant electronic cards that will collect data from a number of NSW detectors' front-end (FE) electronic boards and will transmit them through a bidirectional optical link to an interface network, located away from the ATLAS detector. At the same time, they will receive from the network interface and distribute to the FE, precision signals for timing, triggering the read-out of the detector's data and configuring the operations of the FE's electronic components. The importance of the L1DDC cards for the efficient operation of the ATLAS experiment as well as the large number of L1DDC that will be installed in the detector necessitated the thorough testing of a series of continually improved prototypes before the mass production.

In the framework of this thesis, control systems for the second, third as well as for the pre-production prototype were developed in the laboratory. All of the control systems concern the L1DDCs to be used in one of the two detector technologies of the NSW (namely Resistive-strip Micromegas, MM) data acquisition system. The second prototype, as well as the ones that followed, differed significantly from the original because it was designed so that the L1DDC cards will operate efficiently on the second, more demanding, upgrade of the ATLAS experiment. Development boards hosting Xilinx's high-end FPGAs were used to develop the control systems and VHDL was the main hardware description language used. Due to the overall system complexity, modules designed by the research group of the National Technical University of Athens responsible for the design of the L1DDC prototypes, as well as by the respective CERN teams, were provided to us. The initial design was debugged and modified and new firmware was developed to overcome its limitations. The firmware design developed in the framework of this thesis mainly concerns the digital signals being exchanged between the L1DDC cards and the FEs of the MM detectors.

The performed tests were to confirm the bidirectional simultaneous transmission of all electrical and optical signals handled by the L1DDC at all supported rates. The results of the tests showed excellent performance of the pre-production prototype and in July 2019 the tests of the L1DDC cards that will be installed in NSW were launched at two test sites (at the Department of Electrical and Electronics Engineering, University of West Attica and at the Physics Department, University of Athens). So far 164 MM-L1DDC and 470 sTGC-L1DDC cards have been tested out of which 571 have passed successfully the quality tests (132 MM-L1DDC and 439 sTGC-L1DDC) and the results have been communicated to CERN.

Περιεχόμενα

Ευχαριστίες – Αφιερώσεις.....	5
1 ΕΙΣΑΓΩΓΗ	12
1.1 Αντικείμενο της πτυχιακής εργασίας.....	13
1.2 Δομή της πτυχιακής εργασίας.....	13
2 Το πείραμα ATLAS στον επιταχυντή LHC του CERN	14
2.1 Ο επιταχυντής LHC	15
2.1.1 Η δομή του επιταχυντή LHC	15
2.2 Το πείραμα ATLAS	18
2.2.1 Οι υπό-ανιχνευτές του πειράματος ATLAS	19
2.2.3 Το σύστημα σκανδαλισμού και συλλογής δεδομένων	24
2.3 Η αναβάθμιση του ανιχνευτικού συστήματος Small Wheel	26
2.3.1 Οι ανιχνευτές Small-strip Thin Gas Chambers (sTGC)	29
2.3.2 Οι ανιχνευτές Resistive-strip MicroMegas	31
2.3.3 Η δομή του ανιχνευτικού συστήματος NSW	34
2.4 Το σύστημα ηλεκτρονικών του New Small Wheel	36
3. Η κάρτα L1DDC των MM ανιχνευτών	40
3.1 Τα κύρια υποσυστήματα της L1DDC	40
3.2 Οι σειριακές ηλεκτρικές διασυνδέσεις E-links	43
3.3 Οι διασυνδέσεις της L1DDC με καλώδια MiniSAS	45
3.4 Ο προγραμματισμός της L1DDC	45
3.5 Τα πρωτότυπα της L1DDC	47
4. Το σύστημα ελέγχου του πρώτου πρωτοτύπου της L1DDC.....	47
4.1 Η δομή του πρώτου πρωτοτύπου	47
4.2 Ο σταθμός ελέγχου	49
5. Τα συστήματα ελέγχου των πρωτοτύπων 2 και 2b της L1DDC	54
5.1 Η δομή των πρωτοτύπων 2 και 2b της L1DDC	55
5.2 Το firmware του συστήματος ελέγχου.....	57
5.2.1 Το firmware GBT-FPGA.....	58
5.2.2 Το firmware E-link Interface	59
5.3 Ο σταθμός ελέγχου των πρωτοτύπων 2 και 2b	63
6 Το σύστημα ελέγχου των πρωτοτύπων τρία, προ-παραγωγής και παραγωγής	65
6.1 Η δομή των πρωτοτύπων τρία, προ-παραγωγής και παραγωγής	66
6.2 Το firmware του συστήματος ελέγχου.....	67

6.3	Ο σταθμός ελέγχου.....	70
6.4	Τα αποτελέσματα των ελέγχων.....	71
7.	Ανακεφαλαίωση-αποτελέσματα	73
8	Αναφορές / Links.....	74
9.1	Περιγραφή της γλώσσας VHDL.....	79
9.2	Σημασία των FSM	80
9.3	FPGAs – Περιγραφή - Λειτουργία	82